**硬件综合设计规范**

课程名称： （硬件综合设计 Computer Design and Implementation）

课程负责人：钟 将

课程分类： 专业基础 课程类型： 必修

适用专业： 计算机科学与技术(卓越)、物联网工程、信息安全

课程总学时：48 课程总学分：3.0

开课单位： 计算机学院

1. **教学目标和能力培养重点**
2. **教学目标**

本课程教学目标是综合运用已学习的计算机组成原理知识，加深对计算机功能部件的组成原理，逻辑实现、设计方法及其相互衔接，组成一个有机整机的综合理解，重点培养学生自我学习、团队协作、综合运用、设计创新的能力。通过该课程的学习和训练，学生能够清楚地了解计算机是怎样对信息进行加工和处理。本综合设计的核心教学目标为：

（1）能够使用硬件描述语言和设计软件完成较为复杂的硬件系统，了解硬件系统的仿真方法的优缺点，在设计时能够体现一定的创新意识；

（2）综合应用计算机组成原理、数字逻辑以及汇编语言的知识，按照需要设计自定义的指令集，并基于SOC技术实现，在实现方案中综合考虑性能和成本的因素，提出合理的解决方案，并总结设计方案的优点和不足，提出未来改进的措施；

（3）在综合设计过程中能够选择适当的开发工具来完成CPU设计过程中的编码、调试、仿真、硬件综合以及下板测试等工作，了解开发工具的局限性；

（4）通过分组方式培养学生团队协作和具备项目研究骨干的基本素质；

（5）通过设计报告和现场答辩方式培养学生表达能力。

（6）培养学生通过互联网、图书馆收集综合设计需要的文献和技术资料，了解当前最新的技术方案，并借助这些资料解决实际工程设计问题；

（7）理解和应用计算机硬件描述语言的标准规范以及硬件设计中的工业标准和标准构件，训练自主学习能力，能够分析自己设计方案的不足和优势，能够解决的工程设计中遇到的问题；

**2.对毕业要求指标点的支撑**

该课程针对的毕业要求的指标中的二级指标点包含以下内容：

（1）R3.3 能针对特定需求进行软硬件系统设计，在设计中体现创新意识；

（2）R4.4 能够理解复杂计算机工程问题所涉及的技术指标，并通过信息综合得到合理有效的结论；

（3）R5.4 能够理解计算机软硬件开发工具在计算机工程实践中的局限性；

（4）R9.2 能够以个人的专业知识和素养建立团队信任，能适应多学科背景的团队合作方式，具备一定的组织管理能力，并能综合团队成员的意见，进行合理决策。

（5）R10.2 具备较好的计算机专业知识表述能力，能够就复杂计算机工程问题与业界同行及社会公众进行沟通和交流；

（6）R12.1 具有查找和阅读计算机专业文献的能力，能够主动查找、阅读、理解专业文献内容并形成合理结论；

（7）R12.2 能够发现实践过程中存在的问题和涉及的方法技术，并能够通过多种现代教育手段不断学习计算机专业新知识和技术，解决复杂问题。

**3.对毕业要求指标点的支撑方案说明**

（从教学内容、教学方法、实践环节、考核方式等方面进行详细说明）

本课程围绕单处理机系统为研究对象，用过综合应用“计算机组成原理”、“数字逻辑”和“汇编语言”等与硬件相关课程的知识，设计一个能够支持较小规模指令集（MIPS32整数指令集的精简版或RISC-V 64基本整数指令集）的处理器，基于该指令集编写满足特定应用需求的应用程序来验证处理器设计的正确性。对于部分优秀的同学，可以设计和实现五级流水线处理器，并通过硬件优化、数据前推、增加Cache机制等技术来提升五级流水线的性能。

|  |  |
| --- | --- |
| **毕业要求**  **二级指标点** | **课程支撑方案说明** |
| R3.3 | 要求能够利用硬件描述语言设计单周期、多周期或者流水线功能的处理器，能够在按照应用需求，扩展处理器的指令来提高处理器的性能，能够根据实际需要扩展CPU的指令集，通过设计CPU和计算机系统过程中培养创新能力和创新意识。 |
| R4.4 | 通过CPU设计和实现过程中，研究、设计和改进实验方案，并根据实验过程中获得的仿真数据、关键路径、测试结果、能耗分析数据等对CPU性能进行综合分析，从而理解单周期和流水线处理器设计和应用中可能存在各种问题。 |
| R5.4 | 通过综合性设计项目，选择和使用各种开发工具，要求学生能够根据实际需要选择CPU设计、编码、仿真、调试、下载开发板以及汇编语言编程工具，并了解这些开发工具的特点和局限性。此外，通过对比行为仿真结果与综合后下载到开发板上运行结果的差异来理解仿真工具存在的局限性和不足。 |
| R9.2 | 综合设计采用分组方式，完成一个流水线处理器或者具有一定规模指令集的CPU，通过完成复制的综合项目，完成团队的密切分工与合作，包括进度管理、方案讨论等合作方式，从而支撑毕业要求。 |
| R10.2 | 通过完成硬件综合设计报告，学生按照规范转型设计方案、实验结果、调试和优化的方法，培养学生的计算机专业知识表述能力。在现场检查过程中，要求学生能够正确回答问题和描述其设计思路，从而培养与业界同行的沟通和交流能力。 |
| R12.1 | 让学生通过自主方式查询和阅读相关的开发指南和专业文献，使得学生深入掌握MIPS32指令集或RISC-V指令集的编码规范、FPGA关键IP核使用、AXI总线规范等知识，硬件描述语言VHDL（或者Verilog语言）的设计规范，并综合应用到SOC流水线CPU的硬件设计。 |
| R12.2 | 设计过程中能够分析影响CPU性能的原因，能够清晰描述和分析每个阶段参数的原因，针对CPU设计过程中各类问题，分析其根源，特别是流水线处理器中各种冒险问题的解决机制，并分析各种机制的优缺点。能够总结设计中还存在的问题，并提出未来工作的设想。 |

1. **分组要求及开展方式**
   1. 分组要求

3-4位同学一组（卓越班两人一组），自由组合，成绩相同，要求使用《计算机组成原理》课程实验完成的简单五级流水线CPU的基础上扩展完成功能相对完善的CPU。

* 1. 开展方式

学生根据教师下达的**任务书**，分组完成任务分工和设计，利用课内课外的时间完成设计和调试工作。最后由教师检查完成结果，学生在三周内提交课程设计报告及相关设计成果。

1. **成果提交形式和格式要求**

本课程设计成果提交形式包括：课程设计报告、rtl代码、bit文件、仿真截图，小组内的分工说明，对于存在问题和今后改进的设想等内容；格式要求参照《组成原理》实验源码提交规范。

1. **教学内容及知识综合性要求**
2. 综合设计内容：
3. **设计任务的具体要求**

有两种指令集架构供同学们选择, MIPS32或RISC-V 64。

* MIPS32 CPU必选内容

其中MIPS SOC CPU设计与实现，需要实现支持MIPS32中整数指令，具体实现的指令列表参考设计手册。达到合格必做内容为：将《组成原理》实验4实现的简易五级流水线CPU，由十条指令扩展为57条指令，并实现异常处理模块。其中包括所有非浮点MIPS I指令(除去 LWL、LWR、SWL、SWR)以及MIPS 32中的ERET指令，有**14条算术运算指令、8条逻辑运算指令、6条移位指令、12条分支指令、4条数据移动指令、2条自陷指令、8条访存指令、3条特权指令，总计57条指令**。

* RISC-V 64 CPU必选内容

RISC-V SOC CPU需要实现RISC-V 64位基本整数指令，具体指令列表参考RISC-V 64指令设计手册。对于选择RISC-V指令架构的同学，达到合格必做内容为：实现任意微架构的RV64I指令集处理器，共计55条指令。包含**11条访存指令、8条分支指令、33条运算指令、2条自陷指令、1条内存屏障指令**。对于处理器没有实现控制状态寄存器的情况下，允许将2条自陷指令（ECALL、EBREAK）实现为空操作（NOP）。

* **选做内容**

学生根据自身基本情况，在下列任务中**选择一至多个**内容进行实现。(如果没有完成选做内容的同学，根据最终完成情况，最高成绩为良好)

* + 1. **除法器优化。**课程设计给出**试商法**实现的除法运算器模块，执行完成需要36个周期。利用《计算机组成原理》课程教授的**快速除法算法**，实现快速除法模块，替代现有除法器模块，优化除法指令消耗周期数
    2. **流水线断流问题优化。**流水线断流集中于分支指令与访存延迟问题上，由于流水线在部分指令发生相关时，数据前推无法满足需要，导致流水线暂停，形成的断流问题。分析通路图，**优化数据前推路径**，减少流水线暂停的概率，达到性能优化的作用。
    3. **均衡各阶段组合逻辑延时。**各阶段组合逻辑部分完成功能复杂度有所不同，在译码、执行阶段的组合逻辑完成所需要的延时明显高于其他阶段，此时优化单一周期所需时间，尽可能使得功能复杂的阶段所实现的组合逻辑产生的延时降低，**优化单周期执行时间。**
    4. **关键路径优化。**由于CPU内部组合逻辑与IO直接连接，使得IO访问成为关键路径。优化IO时延能够有效减少关键路径的总时长，达到时钟频率的优化。同时需要考虑对IPC的影响，达到均衡优化的效果。
    5. **加入Cache（体系结构的实验）与TLB（写一个操作系统的快表）。**使用高速缓存，加快CPU访问速度，并使用TLB加速地址转换，此时由于新部件需要，要引入新增指令，并且可考虑使用板载DRAM作为存储器。（**此项作为最复杂解决方案，实现Cache或TLB中一种即可获得优**）。
    6. 对于设计结果进行仿真测试，并分析性能瓶颈，最后将设计及实现的CPU下载的N4开发板，通常运行测试评估程序来实际评估设计方案的设正确性和实际性能。

**（二）教师讲授内容：**

* 课程设计内容解读
* 设计步骤、注意事项及其问题解答
* 提供所需要的资料
* 其他要求

**（三）学生实践内容：**

根据已有的五级流水线结构，依次分析不同类型指令在数据通路中的路径，并修改控制器及数据通路。完成一个类型指令即进行一次仿真，调试完毕后进行下一类型的实现。全部仿真结束后，接入总线及外设，仿真通过所有指令测试。

指令测试通过后，进行选做内容，最终运行benchmark，获取性能分数，重复调试，达到性能分数最优。

**（四）相关知识要求：**

* 数字逻辑基础
* 运算器、存储器、控制器原理
* 五级流水线阶段原理
* Verilog 基础语法及模块化调用方式
* Vivado 或Verilator行为仿真调试方法

1. **参考资料**
   1. 参考文档
      1. 《计算机组成原理实验指导书》，重庆大学计算机学院编；
      2. 《SOC结构介绍》
      3. 《MIPS基准指令集手册》、《RISC-V指令集手册》
      4. 《功能测试说明》
      5. 《性能测试说明》
   2. 参考书目
      1. 《计算机组成与设计-硬件软件接口》，David A.Patterson、John L.Hennessy编，康继昌、 樊晓桠等译，机械工业出版社，2012年1月出版；
      2. 《自己动手写CPU》，雷思磊著，电子工业出版社；
      3. 《数字设计和计算机体系结构》，David Money Harris，Sarah L.Harris，机械工业出版社；
      4. 《计算机系统综合课程设计》，杨全胜主编，清华大学出版社；
      5. 《MIPS体系结构透视》，Dominic Sweetman,机械工业出版社；
      6. 《计算机原理与设计：Verilog HDL版》，李亚民，清华大学出版社；
      7. 《CPU设计实战》，汪文祥、邢金璋，机械工业出版社；
2. **考核方式与评分标准**

硬件综合设计的成绩由标6.1中的四部分成绩综合而来，其中任何一项不及格，则整个综合设计不及格。其中各部分本比例见表6.1。

表6.1 成绩构成表

|  |  |  |
| --- | --- | --- |
| 成绩代码 | 成绩构成 | 成绩占比 |
| A | 现场添加指令（线上使用答辩替代） | 10 |
| B | 现场答辩 | 10 |
| C | CPU设计 | 50 |
| D | 设计报告 | 30 |
| E | 扩展内容 | +20 |

百分制成绩，最后按照以下90以上为优秀，80-89为良好，70-79为中等，60-69为及格，59以下为不及格的方式转换为五级制。

1. **现场添加指令**

每一组设计成员需要能够按照需要现场添加指令，其成绩评价标准见表6.2。

表6.2现场添加指令环节的评价的细分

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **考核内容（权重）** | **评分标准** | | | |
| 90-100 | 80-90 | 60-80 | 60以下  不合格 |
| 1. 添加指令  （80%） | 在120分钟以内正确添加指令，并调试通过 | 添加的指令，但是功能未能完全正确运行，但是能够讲述设计思路，并分析其原因，代码基本正确 | 能够添加的指令，功能存在错误，原有数据通路设计存在一定缺陷造成难以添加指令。 | 不能现场添加指令，且无法说明具体原因的 |
| 2.团队协作（20%） | 添加指令过程过程中分工明确，在各个工作环节配合良好 | 添加指令过程工作过程中分工较为明确，配合较好 | 添加指令过程有一定的分工，但是协作时不能发挥每位同学的作用 | 添加指令过程缺少团队组织，不能协同工作 |

1. **现场答辩**

小组随机抽取一人回答指令路径问题，根据回答者情况，如果能够不能清晰地讲解其设计成果。

表6.3 现场答辩成绩评价标准

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **考核内容（权重）** | **评分标准** | | | |
| 90-100 | 80-90 | 60-80 | 60以下  不合格 |
| 1. 回答问题  （80%） | 能够正确回答设计中所有问题，正确使用专业术语 | 能够回答所有关键性问题，但是存在理解上偏差，专业术语有少量差错 | 基本能够正确回答其中大多数问题，专业术语存在明显错误 | 不能回答设计文件中关键问题，不了解相关的专业术语 |
| 2.团队协作（20%） | 回答问题时能够相互补充关键信息 | 能够按照熟悉的问题进行协作完成问答环节 | 答辩过程有一定的配合，但是缺少明显的分工协作 | 对于设计工作缺少明确的分工安排 |

1. **CPU设计**

CPU设计由一系列的成绩构成。

表6.4 CPU设计的评价标准

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **考核内容（权重）** | **评分标准** | | | |
| 90-100 | 80-90 | 60-80 | 60以下  不合格 |
| 1.CPU设计完成情况  (50%) | 见表6.5 CPU设计完成情况评价细则 | | | |
| 2.工程问题研究能力  (20%) | CPU和总线系统设计合理，设计方案能够很好平衡各种约束条件 | CPU和总线系统设计合理，设计方案能够较好平衡各种约束条件 | CPU和总线系统设计基本合理，设计方案基本满足各种约束条件 | 不能完成本项设计任务 |
| 3.工具应用能力  (10%) | 熟练掌握开发工具和Benchmark测试程序集，并理解测试程序集的不足 | 较为熟练掌握开发工具和Benchmark测试程序集，并理解测试程序集的不足 | 基本掌握开发工具熟练掌握开发工具和Benchmark测试程序集 | 不能正确使用开发工具和仿真测试环境 |
| 4.专业文献阅读  （10%） | 根据任务查阅最合适的技术文献和参考资料并用来完成设计方案 | 根据任务能够检索到相关的技术文献，但是文献利用不充分 | 能够检索到相关的技术文献，但是需要老师指导下完成方案设计 | 不能根据任务能够检索到相关的技术文献，设计方案 |
| 5.自主学习  （10%） | 主动收集互联网生的资料的教材，较好完成设计任务 | 在老师引导下，能够收集互联网生的资料的教材，较好完成设计任务 | 在老师引导下，能够收集互联网生的资料的教材，能够完成设计任务 | 缺乏学习动力，不能够完成设计任务 |

表6.5 MIPS CPU设计完成情况评分标准

|  |  |  |
| --- | --- | --- |
| **实现功能** | **完成情况** | **获得分数** |
| 52条指令 | 52条基础指令，按照功能类型分为6组，每组5分 | 30 |
| 连接SoC | 连接功能测试SoC，成功通过不含异常处理与特权指令部分的测试。 | 30+5=35 |
| 57条指令 | 57条指令，包含52条基础指令+5条特权指令 | 30+10=40 |
| AXI 测试 | 连接类类SRAM接口转AXI总线转接桥，构造AXI版SOC,且通过完整版指令测试、性能测试 | 40+5=45 |
| Cache写透 | 设计写透Cache,成功提高CPU性能，且功能测试通过 | 45+5=50 |

表6.6 RISC-V CPU设计完成情况评分标准

|  |  |  |
| --- | --- | --- |
| **实现功能** | **完成情况** | **获得分数** |
| RV64I | 实现RV64I指令集，并可以使用C语言编写程序通过串口打印出一个"Hello World"。 | 45 |
| 实现缓存 | 实现缓存，并实现fence.i指令处理I/D缓存同步 | 45+5=50 |

**CPU完成情况评分细则**：

由于硬件综合设计完成程度不同，对每个阶段评分实行量化细则，以保证评分的公平统一。

* **对于MIPS指令集评分细则如下：**

**实现52 条：**

* + - 52 条指令共分6 组，每组5分。每组内有一条及一条以上指令功能仿真错误，该组不得分。
    - 涉及乘除法未实现HILO寄存器；流水线前推、暂停模块实现有问题，扣除数据移动指令部分分数。
    - 其他严重违背MIPS 或RISC 架构设计理念的，扣5分。（如除法不暂停流水线，导致单个周期时间过长）。

**连接SoC**：

* + - 连接SoC并成功通过不包含异常处理的所有功能测试点，得5分。
    - 除异常处理外的功能测试可以运行但存在错误的，得3分。

**57条指令：**

* + - 添加剩余5条指令后，功能测试全部通过的，得5分。
    - 实现5条指令包括两类，分别为特权指令、内陷指令。仅完成一组的，最高得2分。
    - 没有实现精确异常或功能测试未全部通过的，扣2分。

**AXI 测试：**

* + - AXI 测试需连接转接桥或实现原生AXI，并测试完整的功能、性能测试程序。仅宣称连接SOC，但未运行测试的，不得分。
    - 连接后功能测试未能通过全部功能测试的，得2 分。
    - 功能测试通过，性能测试除Drystone 和CoreMark 外的其他测试，只有部分成功运行的，得3 分。
    - 性能测试除Drystone 和CoreMark 外的其他测试运行成功的，得4 分。

**写透Cache：**

* + - 写透Cache 接入后，无法正常运行功能测试的，不得分。
    - 写透Cache 接入后，能够运行部分功能测试的，参考SOC 测试规则给分。
    - 写透Cache 接入后，性能测试分数低于10 的，扣1 分。
* **对于****RISC-V指令集评分细则如下：**

**RV64I：**

* + - RV64I指令集中，所涉及指令的OPCODE包括LUI、AUIPC、JAL、JALR、BRANCH、LOAD、STORE、OP-IMM、OP-IMM32、OP、OP-32、FENCE、SYSTEM。按照以下方式分组，每组计5分：
      1. LUI、AUIPC、OP-IMM
      2. OP
      3. OP-32
      4. OP-IMM32
      5. JAL、JALR
      6. BRANCH
      7. LOAD
      8. STORE
      9. FENCE、SYSTEM

其中，每一组实现得5分，若某一组未实现该组不得分。

* + - 若RV64I全部实现后，无法连接到SoC运行简单C语言程序并输出“Hello World”，扣10分。

实现缓存：

* + - 实现缓存后CPU无法运行的，不得分。
    - 实现基本数据缓存与指令缓存，数据缓存为写直达，得2分。
    - 实现基本数据缓存与指令缓存，数据缓存为写回，得3分。
    - 未实现fence.i功能或未能通过测试集中fence.i测试的，得4分。
    - 能够通过所有给定测试中CPU所实现指令集的，得5分。

表6.6 RISC-V CPU设计完成度评分标准

|  |  |  |
| --- | --- | --- |
| **实现功能** | **评价方式** | **获得分数** |
| 自定义指令集的实现 | 包含了任务书中所有的指令和扩展指令，且测试没有错误的得满分。如果存在没有实现的指令，每条指令扣3分，扣完为止。 | 40 |
| 数据通路设计 | 通路和I/O接口的设计情况：  （1）数据通路设计合理，具有良好扩展性，IO接口设计合理：9-10分  （2）数据通路设计较为合理，具有较好的扩展性，IO接口较良好。8分  （3）有完整数据通路设计，扩展一般，IO接口能够工作：6-7分  （4）有完整数据通路设计，没有外部接口设计：0-5分 | 40+10=50 |

1. **设计报告**

表6.7设计报告的评价标准

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **考核内容（权重）** | **评分标准** | | | |
| 90-100 | 80-90 | 60-80 | 60以下  不合格 |
| 1.工程问题研究能力  (20%) | CPU和总线系统设计合理，设计方案能够很好平衡各种约束条件 | CPU和总线系统设计合理，设计方案能够较好平衡各种约束条件 | CPU和总线系统设计基本合理，设计方案基本满足各种约束条件 | 不能完成本项设计任务 |
| 2.工具应用能力  (10%) | 熟练掌握开发工具和Benchmark测试程序集，并对测试结果进行了合理的记录和分析 | 较为熟练掌握开发工具和Benchmark测试程序集，并对测试结果进行了一定记录和分析 | 基本掌握开发工具熟练掌握开发工具和Benchmark测试程序集，由测试结果的记录分析 | 不能正确使用开发工具和，测试结果也没有合理记录和分析 |
| 3.团队协作（10%） | 报告中对小组的分工有明确的描述，分工合理 | 报告中对小组的分工有较清晰描述，分工较为合理 | 报告中对小组的分工有较清晰描述，分工基本合理 | 没有描述小组内的分工情况 |
| 4.表达能力  （40%） | 规范，有需求分析、系统设计、系统实现部分，描述充分，描述具有很好的逻辑性，条理清晰 | 规范，有需求分析、系统设计、系统实现部分，描述充分，描述具有较好的逻辑性和条理性 | 较规范，有需求分析、系统设计、系统实现部分，但实质性描述较少。 | 不规范，需求分析、系统设计、系统实现部分不完整。 |
| 5.专业文献阅读收集与利用  （10%） | 根据任务查阅最合适的技术文献和参考资料并用来完成设计报告 | 根据任务能够检索到相关的技术文献，但是文献利用不充分 | 能够检索到相关的技术文献，参考文献很少应用 | 不能根据任务能够检索到相关的技术文献，用来完成报告 |
| 6.自主学习  （10%） | 主动收集互联网学下材料，自主学习，明确了未解决问题和解决思路 | 主动收集互联网学下材料自主学习，能够理梳理出未解决的主要问题 | 在教师引导下收集互联网学下材料自主学习，对于项目中的问题有一定分析 | 缺乏学习动力，不能够完成设计任务 |

注：根据课程设计报告模板要求，课程设计报告得分采取减分制，缺少或不满足要求的，进行扣分，扣完为止。课程设计报告评分细则如下：

* + - 报告模板中标注“必选”但未填写的，扣5 分。
    - 模块设计中未写明信号名、输入输出类型、信号描述的，扣5 分。
    - 全文中没有任何通路图的，扣10 分；部分模块设计中缺少通路图的，扣5 分。
    - 不填写工作日志的，扣10 分，不按照模板要求填写的，扣5 分。
    - 不填写主要错误记录，但CPU 设计完成程度不足40 分的，扣10 分。
    - 参考文献格式不正确的，扣2 分。
    - 参考提供的参考书、文档、开源代码、其他同学的设计，但不在参考设计说明模块进行说明的，视作抄袭的，本次课程设计计为不合格。

1. **扩展设计内容**

为了鼓励同学门完成更高挑战度的任务，课程组从教改经费中提供总数为2000奖励和优秀设计证书。

* 性能优化
  + MIPS组：（注：需使用N4DDR开发板达成，使用龙芯杯开发板时所有标准提高10分。性能得分向下取整。）
    - 性能得分15-24，加5分。
    - 性能得分25-39，加10分。
    - 性能得分40-49，加15分
    - 性能得分50以上，加20分，小组参与分享2000元奖励。
  + RISC-V组：
    - 运行助教编译的CoreMark达到250 iters/sec且成功上板，加20分，小组分享2000元奖励。
    - 仿真CoreMark超过3.0 CoreMarks/MHz，时序分析达到40MHz以上，且上板能运行，允许在不改变计算任务等价性的前提下修改CoreMark软件并使用不同编译选项重新编译，鼓励通过软硬件协同方式针对计算任务专门优化，包括添加专有加速指令等，并在报告中明确分析指出优化方法，加20分，小组参与分享2000元奖励。
* 操作系统支持
  + MIPS组：
    - 通过龙芯杯TLB测试，且实际可以在虚拟地址进行取指和访存，加5分。
    - 支持Cache指令，加10分。（无Cache将Cache指令实现为NOP不计分）。
    - 成功运行PMON，加15分。
    - 成功运行uCore/Linux（含Linux NOMMU），加20分，小组参与分享2000元奖励。
  + RISC-V组：
    - 实现M-Mode与U-Mode所有必须实现的CSR并通过所有riscv-tests中所有rv64mi测试，加5分。
    - 实现原子操作扩展，并通过riscv-tests中所有rv64ua测试，加10分
    - 成功运行U-Boot，加15分。
    - 成功运行rCore、xv6、RT-Thread、Linux（含Linux NOMMU），加20分，小组参与分享2000元奖励。
* 外设支持
  + 自己开发并实现VGA控制器，连接到自己的CPU核，加20分，小组参与分享2000元奖励。
* 其他创新内容或工具链研发：具体加分需提交文档、代码，由课程负责人组织评审专家进行评分。

1. **毕业要求达成度计算方法**

|  |  |
| --- | --- |
| **毕业要求**  **二级指标点** | **毕业要求达成度评价方法** |
| R3.3 | A(1)\*0.2 +C(1)\*0.8 |
| R4.4 | C(2) \* 0.8+D(1)\*0.2 |
| R5.4 | C(3) \* 0.5+ D(2) \* 0.5 |
| R9.2 | A(2)\*0.2+ B(1)\*0.3+ D (3)\*0.5 |
| R10.2 | B(2) \*0.4 + D (4)\* 0.6 |
| R12.1 | C(4)\*0.6+ D(5)\*0.4 |
| R12.2 | C(5) \* 0.7+ D(6) \*0.3 |

其中A(1)是指现场添加指令中的第一项评分项的达成度。

**重庆大学课程设计报告**

课程设计题目：

学 院：

专业班级：

年 级：

姓 名：

学 号：

完成时间： 年 月 日

成 绩：

指导教师：

重庆大学教务处制

综合设计指导教师评定成绩表

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 项目 | 分值 | 优秀  (100>x≥90) | 良好  (90>x≥80) | 中等  (80>x≥70) | 及格  (70>x≥60) | 不及格(x<60) | 评分 |
| 参考标准 | 参考标准 | 参考标准 | 参考标准 | 参考标准 |
| 学习态度 | 15 | 学习态度认真，科学作风严谨，严格保证设计时间并按任务书中规定的进度开展各项工作 | 学习态度比较认真，科学作风良好，能按期圆满完成任务书规定的任务 | 学习态度尚好，遵守组织纪律，基本保证设计时间，按期完成各项工作 | 学习态度尚可，能遵守组织纪律，能按期完成任务 | 学习马虎，纪律涣散，工作作风不严谨,不能保证设计时间和进度 |  |
| 技术水平与实际能力 | 25 | 设计合理、理论分析与计算正确，实验数据准确，有很强的实际动手能力、经济分析能力和计算机应用能力，文献查阅能力强、引用合理、调查调研非常合理、可信 | 设计合理、理论分析与计算正确，实验数据比较准确，有较强的实际动手能力、经济分析能力和计算机应用能力，文献引用、调查调研比较合理、可信 | 设计合理，理论分析与计算基本正确，实验数据比较准确，有一定的实际动手能力，主要文献引用、调查调研比较可信 | 设计基本合理，理论分析与计算无大错，实验数据无大错 | 设计不合理，理论分析与计算有原则错误，实验数据不可靠，实际动手能力差，文献引用、调查调研有较大的问题 |  |
| 创新 | 10 | 有重大改进或独特见解，有一定实用价值 | 有较大改进或新颖的见解，实用性尚可 | 有一定改进或新的见解 | 有一定见解 | 观念陈旧 |  |
| 论文(计算书、图纸)撰写质量 | 50 | 结构严谨，逻辑性强，层次清晰，语言准确，文字流畅，完全符合规范化要求，书写工整或用计算机打印成文；图纸非常工整、清晰 | 结构合理，符合逻辑，文章层次分明，语言准确，文字流畅，符合规范化要求，书写工整或用计算机打印成文；图纸工整、清晰 | 结构合理，层次较为分明，文理通顺，基本达到规范化要求，书写比较工整；图纸比较工整、清晰 | 结构基本合理，逻辑基本清楚，文字尚通顺，勉强达到规范化要求；图纸比较工整 | 内容空泛，结构混乱，文字表达不清，错别字较多，达不到规范化要求；图纸不工整或不清晰 |  |

指导教师评定成绩：

指导教师签名： 年 月 日

重庆大学本科学生课程设计任务书

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 课程设计题目 | | MIPS（RISC-V） SOC设计与性能优化 | | | | |
| 学院 | 计算机学院 | | 专业 | 计算机科学与技术（卓越） | 年级 | 2022 |
| 任务描述：   1. 课程设计内容    1. **必选内容：**学生达到合格必做内容       1. 对于选择MIPS的同学，将《组成原理》实验4实现的简易五级流水线CPU，由十条指令扩展为57条指令，并实现异常处理模块。其中包括所有非浮点MIPS I指令(除去 LWL、LWR、SWL、SWR)以及MIPS 32中的ERET指令，有**14条算术运算指令、8条逻辑运算指令、6条移位指令、12条分支指令、4条数据移动指令、2条自陷指令、8条访存指令、3条特权指令，总计57条指令**。       2. 对于选择RISC-V的同学，需实现RV64I（RISC-V 64基本整数指令集）共55条指令。**包含11条访存指令、8条分支指令、33条运算指令、2条自陷指令、1条内存屏障指令**。对于处理器没有实现控制状态寄存器的情况下，允许将2条自陷指令（ECALL、EBREAK）实现为空操作（NOP）。    2. 扩展内容   学生根据自身基本情况，在下列任务中**选择一至多个**内容进行实现。   * + 1. **实现Cache。**实现写回法Cache，支持更大的块大小，映射方式改为二路组相连。     2. **TLB设计。**对于选择MIPS CPU的情况，参考课本TLB结构设计TLB模块，要求至少有2项，支持的页大小为 4KB。除此之外，需完成TLB相关的指令和异常，要求实现TLBR、TLBWI、TLBP 指令，在CP0中增加Index、EntryHi、EntryLo0、EntryLo1 、PageMask寄存器，并可以使用虚拟地址进行取指与访存。     3. **处理器性能优化。包含以下内容：**        1. **流水线断流问题优化。**流水线断流集中于分支指令与访存延迟问题上，由于流水线在部分指令发生相关时，数据前推无法满足需要，导致流水线暂停，形成的断流问题。分析通路图，**优化数据前推路径**，减少流水线暂停的概率，达到性能优化的作用。        2. **均衡各阶段组合逻辑延时。**各阶段组合逻辑部分完成功能复杂度有所不同，在译码、执行阶段的组合逻辑完成所需要的延时明显高于其他阶段，此时优化单一周期所需时间，尽可能使得功能复杂的阶段所实现的组合逻辑产生的延时降低，**优化单周期执行时间。**        3. **关键路径优化。**由于CPU内部组合逻辑与IO直接连接，使得IO访问成为关键路径。优化IO时延能够有效减少关键路径的总时长，达到时钟频率的优化。同时需要考虑对IPC的影响，达到均衡优化的效果。        4. **除法器设计。**课程设计给出试商法实现的除法运算器模块，执行完成需要36个周期。利用《计算机组成原理》课程教授的快速除法算法，实现快速除法模块，替代现有除法器模块，优化除法指令消耗周期数。        5. **VGA控制器的设计。**自己设计一个VGA控制器并实现对应驱动软件，为自己的SoC实现VGA输出图像的功能。  1. **撰写设计报告** 2. **现场指令集添加测试** | | | | | | |
| 设计要求：  课程设计报告要求至少应包含以下部分：   1. 不同类型指令实现方式：  * 描述控制器需增加的内容、数据通路增加的内容。 * 采取核心代码截图+描述  1. 选做内容选择实现的部分详解：  * 优化思路 * 优化核心代码截图 * 仿真前后对比，如时钟周期长短对比，CPU频率对比   3）通路图(选做，若对通路修改过大，已脱离原本通路的主要结构，如五级流水改为七级流水，需给出数据通路新结构图)  4）测试结果   * 仿真结果截图   5）结论   * 将必做部分完成后性能跑分与选做部分完成后进行对比分析，从周期、IPC、频率角度出发，得出优化成果   6）参考文献 | | | | | | |
| 参考资料： | | | | | | |
| 任务下达日期 年 月 日 | | | | 完成日期 年 月 日 | | |

说明：学院、专业、年级均填全称，如：计算机学院、计算机科学与技术、2010。

课程设计正文（具体格式见《重庆大学本科课程设计规范化要求》）

备注：

1. 学生：提交的课程设计报告电子文档命名为：“年级（两位数字不要“级”字）专业（缩写：计算机科学与技术专业（计科）、网络工程专业（网络）、信息安全专业（信息）、物联网工程（物联网））班级（两位数字）学号（八位数字）姓名．doc。如学号为20115676、年级为2011级、专业为“计算机科学与技术”专业、班级为“02班”、姓名为“王宇”的学生，完成的课程设计报告命名为： 11计科02班20115676王宇。

**MIPS SOC设计报告**

组员1姓名、组员2姓名

一、设计简介

简要描述所提交的设计是什么，能呈现何种功能，采用何种方式实现，实现的效果如何。设计上面有哪些特色之处，请予以简要说明。

（一）小组分工说明（必选）

本小节仅用于说明组内成员在硬件综合设计项目完成中的分工，可采用以下形式:

XXXX：负责逻辑运算、算术运算指令扩展。

XXXX：负责功能仿真、Cache设计

二、设计方案（30%）

（一）总体设计思路

阐明总体设计思路，即从系统顶层角度出发，概要性地描述整个系统的工作机制，所需要进行哪些设计、完成哪些功能。如果设计比较复杂，那么最好进行模块划分，把每个模块功能和接口的大致情况描述一下。

（二）XX模块设计（可选）

对模块内部设计方案进行更进一步描述。可以包含：模块的功能意图，模块的输入输出，模块内部的数据通路和控制逻辑，以及可能的软硬件交互机制。

（三）XX模块设计（可选）

……

三、实验过程（40%）

（一）设计工作日志

记录哪一天，几点到几点，谁做了什么事，结果如何。事情不要展开来写。

（二）主要的错误记录

具体描述实验过程中的错误，仿真阶段、上板阶段的都可以记录。

1、错误1

（1）错误现象

描述这个错误产生时的现象。

（2）分析定位过程

说清楚你碰到这个问题是如何分析定位出错原因的。可能你分析定位过程中经历了多轮尝试，把它们都记录下来。

（3）错误原因

给出一个出错原因的正式说明。

（4）修正效果

说明你修正这个错误的方法，并说明它是否有效。

（5）归纳总结（可选）

说说你觉得这个错误是哪种类型的，今后如何提前规避。

2、错误2

……

四、设计结果

请不要大篇幅地直接粘贴代码。

（一）设计交付物说明

说明所提交设计的目录层次，各目录下对应的内容是什么。提供所提交设计进行仿真、综合的必要操作提示步骤。

（二）设计演示结果

以文字、图、表等形式展示设计的演示结果。

五、参考设计说明

如果在提交设计中使用了第三方IP或者借鉴了他人的部分源代码，请在此处逐一列举，并说明出处。所谓“借鉴”是指从模块划分、接口定义、数据通路结构、状态机、关键信号含义这些方面均与原设计存在较高的相似度。

六、总结（可选）

供同学们吐槽之用。

（一）组员：XXX

……

（二）组员：XXX

……

七、参考文献

列出设计报告中的参考或借鉴过的文献，具体如下：

参考文献一律用五号字，中文为宋体，英文为Times New Roman，行距16磅。

中文参考文献和英文参考文献中的标点符号均使用英文标点符。

参考文献应按文中引用出现的顺序连续编码，序号左顶格，并用数字加方括号表示，每一参考文献条目的最后均以“.”结束。

所有参考文献在正文中都必须被引用，同一处引用多篇文献时，将各篇文献的序号在方括号中全部列出，各序号间用“,”；如遇连续序号，可标起讫号“-”；同一文献在论著中被引用多次，只编1个号。如果文献的作用是对正文作解释，标注时文献序号连同方括号都要使用比正文字号小，并把它们放在右上方(作为上角标)；如果文献是作为句子的成分出现在正文之中，标注时文献序号连同方括号的字号要与正文的字号相同，并且把它们作为正文的一部分来书写(位置与正文平齐，不做为上角标)，另外要注意的是一定要方括号前面加上“文献”两个字。

A.连续出版物：

[序号] 主要责任者. 文献题名[J]. 刊名, 出版年份, 卷号(期号): 起止页码．

B.专著：

[序号] 主要责任者. 文献题名[M]. 出版地: 出版者, 出版年: 起止页码(可选项).

C.论文集：

[序号] 主要责任者. 文献题名[C]. 论文集名. 出版地: 出版者, 出版年: 起止页码.

D.学位论文：

[序号] 主要责任者. 文献题名[D]. 保存地: 保存单位, 年份.

E.报告：

[序号] 主要责任者. 文献题名[R]. 报告地: 报告会主办单位, 年份.

F.专利文献：

[序号] 专利所有者. 专利题名[P]. 专利国别: 专利号, 发布日期.

G.国际、国家标准：

[序号] 标准代号, 名称[S]. 出版地: 出版者, 出版年.

H.报纸文章：

[序号] 主要责任者. 文献题名[N]. 报纸名, 出版日期(版次).

I.电子文献：

[序号] 主要责任者. 电子文献题名[文献类型/文献载体]. 发表或更新日期(可选)[引用日期]. 获取和访问路径.

例如：

[8] Fonda, Marc. Examining the New Polytheism: A Critical Assessment of the Concepts of Self and Gender in Archetypal Psychology[EB/OL]. 1995[1997-12-20] University of Ottawa, http://www.clas.ufl.edu/users/gthursby/fonda/dispg.html.

[2] Online Computer Library Center, Inc. History of OCLC[EB/OL]. [2000-01-08]. http://www.oclc.org/about/history/default.htm.